

Transcripciones de las presentaciones de clases de teoría 2010

IMPORTANTE: Estas notas de clases sirven como complemento de los apuntes ya editados por esta cátedra y no deben ser considerados como el material didáctico final a estudiar. Se aprovecha en las mismas refrescar ciertos conceptos vertidos en los mismos, complementarlos y actualizarlos.

TEMA 4: Flip-Flops:

Filmina 1: Los Flip-flops son considerados como unidades de memoria elementales, donde pueden construirse a partir de ellas, dispositivos más complejos, tales como contadores, registros de desplazamiento, etc..

Forman el eje de los circuitos secuenciales, es decir, aquellos donde las salidas no sólo responden a los valores actuales de las entradas sino a los valores previos de dichas salidas. Por lo tanto, existe entonces, la habilidad de memorizar eventos pasados.

Durante el desarrollo de este tema se verán algunos circuitos que constituyen versiones iniciales de flip-flops que se emplearon durante el auge de la tecnología TTL. Los más actualizados se verán al final de este módulo y más adelante en el tema de "Familias Lógicas" cuando se desarrolle la tecnología CMOS.

Filmina 2: Todo flip-flop como cualquier circuito digital, responde a una dada tabla de verdad que le dá su función específica.

Dependiendo de cómo éste actualice sus salidas se dice que puede ser "asincrónico" cuando las salidas cambian al cambiar las entradas (si la tabla de verdad lo permite) y "sincrónico" cuando las salidas aunque puedan cambiar porque así lo exige su tabla de verdad, no lo harán hasta que una señal externa (frecuentemente denominada reloj o clock) lo permita.

Para este último caso (sincrónico) la otra cuestión es saber con que parte del pulso de reloj se dispara el Flip-flop. Si es con el nivel de esa señal se dice que se dispara con nivel "alto" ó "bajo".

Si es por flanco de la señal de reloj (ascendente ó descendente) se dice que dispara por flanco. Otras denominaciones de flanco ascendente son: positivo y de subida. Para el descendente: negativo y de bajada.

Filmina 3: En un circuito secuencial existe siempre una realimentación de señales entre las salida(s) y entrada(s). Aquí se muestra un caso de una OR donde puede memorizar en forma permanente un evento dado en la entrada A, si ésta inicialmente en "0" pasa en algún

momento a "1". Se puede pensar también que sirve para detectar un flanco de subida de la señal A.

Para volver a detectar esto, se deberá reiniciar al circuito, es decir, sacar y volver a ponerle la alimentación eléctrica y garantizar que A y B sean "0".

Pregunta: Cómo se podría implementar un circuito que detecte el flanco descendente de A?

Filmina 4: Un buffer no-inversor realimentado puede ser considerado como un elemento de memoria elemental.

Aplicando momentáneamente tensión en A, se trasfiere lo mismo en la salida y queda con ese nivel lógico permanentemente hasta que no se retire la alimentación al circuito.

Filmina 5: Variación circuital que permite definir el estado lógico de la salida con dos llaves. Aún se tienen resistencias limitadoras de corriente que complican el buen funcionamiento del circuito.

Filmina 6: Esta modificación permite definir un Flip-flop denominado /S /R (S negado – R negado). La "S" deviene de "SET" ó "AJUSTE" que indica que pone algo a "1 ó nivel alto".

La "R" deviene de "RESET" ó "PUESTA a CERO" que indica que pone algo a "0 ó nivel bajo".

La negación indica que "/S" cuando sea "0" activará la salida "Q" poniéndola en "1".

La negación indica que "/R" cuando sea "0" desactivará la salida "Q" poniéndola en "0".

Filmina 7: Para comprender como funciona este Flip-flop, se construye una tabla de verdad para cada salida. Por comodidad se dibujan las dos respuestas en un solo gráfico de Karnaugh.

"q" y "p" son los valores iniciales que se tienen a las entradas de las compuertas NAND.

"Q" y "P" son los valores finales que tienen las salidas de dichas compuertas al ser excitadas con los valores de "/s" y "p" por un lado y de "/r" y "q" por el otro.

A fin de darle al circuito una respuesta más real, se introduce el concepto de tiempo de retardo designado aquí como " τ ". Cada salida al recibir nuevos niveles lógicos en sus entradas, cambiará luego de un tiempo de retardo " τ_1 " para la NAND de arriba y " τ_2 " para la NAND de abajo.

Como hay un encadenamiento entre entradas y salidas, en la mayoría de los casos, una salida de una compuerta, luego de tardar en responder al cambio de sus entradas se convierte en una nueva señal para la otra compuerta cuya salida tardará otro tanto en responder.

Esto se puede ver por ejemplo en el caso de $/s/r = 11$ y $qp=01$ donde $QP=01$. Si pasamos $/s$ a "1", la primera compuerta que responde es la de arriba, donde luego de un τ_1 cambia Q a 1.

Este nuevo valor de la salida de la compuerta de arriba hará que ahora tengamos dos "1" en la segunda compuerta, y momentáneamente las salidas estarán en $QP=11$ (estado inestable ó metaestable). Luego de un τ_2 desde que se modificó el valor de Q , se generará un cambio en la compuerta de abajo donde P pasará de "1" a "0", quedando las salidas en un estado permanente $QP=10$ luego de $\tau_1 + \tau_2$ desde que cambió $/s$.

Filmina 8: Como lo explicado antes ahora se grafica en el diagrama de Karnaugh como evolucionan las señales cuando cambiamos la entrada $/r$.

Filmina 9 y 10: Aquí se muestra como el cambio de $/s$ a "1" desde $/s/r=01$ no afecta en absoluto los valores de las salidas. Lo mismo ocurre con el caso de cambiar $/r$ a "1" desde $/s/r=10$.

Estos dos casos son los que indican la capacidad de memorizar que tiene este circuito.

Filmina 12 a 15: Este es un ejemplo de cómo es posible tener una respuesta inestable en el circuito. Si inicialmente $/s/r=00$ no queda otra opción que tener $QP=11$ (este estado se denomina prohibido ya que entre otras cosas las salidas son iguales y eso no se quiere en este tipo de flip-flop).

Dependiendo de las diferencias temporales de los retardos entre ambas compuertas pueden darse diferentes comportamientos. El ideal es que ambos retardos sean iguales, lo que generaría una salida oscilante en ambas compuertas de período $\tau_1 + \tau_2$.

Si son diferentes, las salidas quedarán en 01 ó 10 dependiendo de cual retardo prevalezca.

A medida que los mismos sean muy parecidos, las oscilaciones hasta alcanzar el estado permanente final, durarán más.

Filmina 16: Esta tabla de verdad es la que figuran en los manuales y describe el comportamiento resumido del Flip-flop analizado.

Aquí se renombra a la salida P como $/Q$ (Q negada) ya que se utilizan sólo las combinaciones de $/s/r$ que den siempre $QP=01$ ó $QP=10$. La combinación $/s/r=00$ está prohibida dado que no se puede predecir que pasará con las salidas si se pasara $/s/r$ a 00.

$Q(n)$ y $/Q(n)$ son los valores actuales de las salidas Q y $/Q$.

$Q(n+1)$ y $/Q(n+1)$ son los valores futuros de las salidas Q y $/Q$ al excitarlas con los valores $/s$ y $/r$ que figuran en la tabla.

De aquí se deduce que poner $/s$ en "0" se obliga a "setear" ó poner a "1" a la salida Q (y lo inverso en $/Q$).

/r en "0" genera un "reset" ó "clear" ó puesta a "0" de Q.

Y por último, estando en /s/r=01 ó 10, si se pasa /s ó /r a "1" respectivamente, las salidas no cambiarán por lo que se mantendrá los valores anteriores de Q y /Q (memoria).

Filmina 18: Otro Flip-flop asincrónico es el RS, construido con compuertas NOR.

El análisis es similar al caso del /S/R con compuertas NAND. Se llega entonces a la tabla de verdad que se presenta.

Aquí, a diferencia del caso anterior, las entradas R y S no figuran negadas ya que se activan con nivel alto.

Un "1" en R obliga al reset de la salida Q, mientras que un "1" en S la setea.

La combinación de entradas RS=11 es prohibida ya que no se puede garantizar el estado definitivo de las salidas si se pasa simultáneamente las entradas de "11" a "00".

La capacidad de memorizar está en la combinación RS=00.

Filmina 20: Los Flip-flops sincrónicos disparados por nivel tienen además de las entradas de datos y salidas, una entrada de control denominada "reloj" ó "clock" y es la encargada de definir el momento en que se permite algún cambio en las salidas.

Filmina 21 a 25: El Flip-flop RS asincrónico disparado por nivel (alto en este caso) responde a la tabla de verdad del asincrónico, pero además se suma ahora la señal de reloj, de tal manera que cuando reloj=1 funciona normalmente pero cuando reloj=0, las salidas quedan "congeladas" manteniendo el estado anterior antes del cambio del reloj.

Con reloj=0 las salidas no obedecen a las entradas.

El diseño mostrado es el de un Flip-flop basado en uno asincrónico con compuertas NAND.

La idea es la de ver que se tendría que agregar en la caja negra "?" tal que con las nuevas entradas RS y RELOJ se cumpla con la tabla de verdad del sincrónico.

Para tal fin, se debe sintetizar dicho bloque diseñando sus salidas tal que según las entradas R,S y RELOJ generen valores lógicos al FF asincrónico que cumplan con lo requerido por la tabla de verdad del sincrónico.

Por ejemplo, cuando RELOJ=0 el FF sincrónico debe mantener las salidas sin cambio. Entonces al asincrónico se lo debe excitar con /r/s=11 ya que su propia tabla le indica que en ese caso $Q(n+1)=Q(n)$.

Si RELOJ=1 y RS=00 también se está en una situación donde no debe haber cambios en las salidas por lo que se pone /sa /ra=11.

Cuando RELOJ=1, por ejemplo para RS=11 se pueden poner las salidas del bloque con XX (don't care) ya que se supone que esa combinación de entradas está prohibida y puede ayudar en simplificar el Karnaugh de /sa y de /ra.

Forzar a "1" a Q implica poner /sa /ra = 01 o lo que es lo mismo RS=10.

Forzar a "0" a Q implica poner /sa /ra = 10, es decir, RS = 01.

Si se considera todo esto, se puede hacer los dos Karnaugh de /sa y /ra, obteniéndose el siguiente circuito (filmina 24).

Las dos NAND adicionales a las del FF asincrónico son suficientes para la síntesis del circuito completo.

Cuando RELOJ=0, las salidas de las NAND están en "1" y cuando RELOJ=1, el circuito queda como un FF asincrónico con las entradas S y R que entran negadas al mismo ya que una compuerta NAND de dos entradas con una de ellas forzada a "1" se convierte en un inversor.

Filmina 26 a 28: Se presenta otro FF sincrónico disparado por nivel alto denominado "JK".

Es similar al RS con la diferencia importante que no existe más el estado prohibido SR=11, sino que ahora toda vez que se tenga JK=11 con RELOJ=1, las salidas serán la negación del estado anterior, es decir, que $Q(n+1)=Q(n)$ y $/Q(n+1)=/Q(n)$.

Esto dá lugar a una oscilación, ya que negar algo pasado es algo recurrente y se repetirá indefinidamente con un período dado por los retardos involucrados tal como se explicó al analizar el FF asincrónico /S /R.

Si bien parece que esta diferencia en el JK es impráctica, tiene vital importancia en el esquema de un FF "JK" disparado por flanco

Para diseñar un FF sincrónico "JK" disparado por nivel alto en base a un FF asincrónico /S /R, se procede de igual manera que antes con la diferencia que ahora en el bloque "?" debe aparecer otra entrada además de J, K y RELOJ. Y es Q ya que si JK=1 con RELOJ=1, el circuito debe saber que valor tiene de Q para negarlo.

Sintetizando se llega al circuito de la figura 27.

A modo de análisis observemos que si RELOJ=1 y JK=11, tendremos que /sa=Q y /ra=/Q, es decir que al FF asincrónico se lo excita con entradas /sa y /ra que siempre son 01 ó 10.

Por otro lado si /sa=Q=0 y por lo tanto /Q=1, la NAND de salida de arriba tendrá como valor futuro de Q un "1", es decir lo opuesto a lo anterior cosa que lo hará volver a invertir el valor lógico de Q en forma indefinida. El mismo análisis se puede hacer con la compuerta de abajo. Todo esto se traduce entonces en una oscilación de Q y /Q de menor período que el FF asincrónico ya que hay que considerar también el retardo de las NAND de 3 entradas.

Filmina 29 a 31: El FF sincrónico disparado por nivel tipo "D" tiene una sola entrada denominada de "DATOS" ó "DELAY" (retardo), tal que es un circuito secuencial coprador. Si D=0 la salida se pone en "0" y viceversa, siempre, claro está, si el RELOJ lo permite (RELOJ=1).

Basándonos en un FF sincrónico tipo RS como el ya analizado es posible implementar un FF "D" sincrónico disparado por nivel alto simplemente con negar la entrada R. Así sólo existen las combinaciones SR=01 ó SR=10, que generan las salidas Q /Q=01 y 10 respectivamente.

Filminas 32 a 33: El FF tipo "T" ó "toogle" ó basculante, es también de una sola entrada.

Siempre que RELOJ=1:

si "T"=0, la salida no cambia de estado ($Q(n+1)=Q(n)$):

si "T"=1, la salida será la negación del nivel lógico anterior de Q. Aquí se registra un comportamiento similar al caso del FF JK cuando teníamos JK=11.

Filmina 34 a 37: Si analizamos la tabla de verdad de un FF JK podemos observar que se puede construir un FF tipo "D" si se inyecta la entrada "D" a la "J" y a la "K" pero vía un negador.

Por otro lado, se puede sintetizar un FF tipo "T" si se unen las entradas JK.

Se muestran los posibles circuitos basados en la implementación del JK.

Filmina 38: Un Flip-Flop sincrónico disparado por flanco de la señal de RELOJ determina que las salidas pueden cambiar sólo en el momento anterior que se presente el flanco sensible del FF.

El FF puede ser sensible a flanco ascendente (de subida) ó descendente (de bajada).

Filminas 39 a 41: Se muestran las tablas de verdad de los Flip-flops "JK", "T" y "D". Dichas tablas son similares a las de disparo por nivel excepto, por supuesto que ahora son sensibles a solo uno de los flancos de la señal de RELOJ.

Estos Flip-Flops son los que se utilizan en la actualidad en vez de los disparados por nivel ya que no adolecen de problemas de propagación de "señales" si se los quieren utilizar en cascada o de captura de "unos", además de ser mas inmunes a ruidos ya que sólo se actúan sobre las salidas un instante antes y después de presentarse en flanco sensible de RELOJ.

Cabe aclarar que existen varios esquemas de FF's sensibles a flanco. Los más utilizados son los basados en tecnología CMOS que serán analizados en el módulo "Familias Lógicas".

Filmina 42 a 46: Un chip que todavía es comercializado y de tecnología CMOS es el 74HC74.

Es un doble FF tipo "D" disparado por flanco ascendente que tiene además dos entradas asincrónicas de SET y RESET activas en nivel bajo (/SD y /RD respectivamente).

Se denominan asincrónicas ya que tienen prioridad frente al RELOJ, es decir que si /SD /RD = 01, la salida Q estará permanentemente en "1" independientemente de lo que presenten la entrada de datos y el RELOJ. Lo mismo si /SD /RD = 10, la salida Q quedará en "0" indefinidamente.

Para que estas entradas no influyan en el circuito deben estar ambas en "1" (/SD /RD = 11).

El circuito mostrado en la filmina 44 se analizará oportunamente.

En las hojas de datos del chip puede encontrarse la tabla de verdad y diagramas de tiempo que ayudan a especificar la respuesta temporal como por ejemplo cuanto tarda en responder una salida desde que el reloj permite el cambio (tpd CLK -> Q) ó desde que cambia alguna de las entradas de /SD ó /RD (tpd /SD -> Q ó tpd /RD -> Q).

Dos parámetros importantes a tener en cuenta a la hora de calcular la velocidad de respuesta de este tipo de FF y a fin de trabajar en condiciones seguras de funcionamiento son los tiempos de "set-up" (establecimiento) y "hold" (mantenimiento).

El primero nos dice que el dato debe estar estable al menos desde un tiempo t(set-up) antes que venga el flanco de RELOJ sensible (ascendente en este caso).

El t(hold) indica que el dato debe seguir estable al menos ese tiempo luego de producido el flanco sensible del FF.

Si estos tiempos no se cumplen, puede suceder que el FF no capture correctamente el dato introducido.

Filmina 47 a 51: Un FF tipo JK popular en tecnología CMOS es el 74HC107. Se trata de un doble FF sincrónico disparado por flanco descendente, con entrada asincrónica de RESET.

Se muestran las tablas de verdad, diagramas de tiempo y circuito (analizado en el módulo de "Familias Lógicas").

Filmina 52 a 57: En este chip se agrupan 8 flip-flops tipo "D" disparados por flanco ascendente de una señal de reloj única (CP). Una entrada adicional MR Master Reset (activa en bajo) permite poner las salidas en "0".

Filmina 58 a 64: Este óctuple FF tipo "D" disparado por flanco ascendente de reloj es similar al anterior excepto que ahora la entrada auxiliar es para llevar a las salidas a estado de "alta impedancia".

Este estado permite que la salida del circuito se desvincule eléctricamente del pin físico del chip. El efecto es como si la salida presentara una impedancia infinita entre ese pin y los bornes de a tensión de alimentación. Este efecto tiene gran importancia cuando se requiere que salidas de varios circuitos puedan conectarse a una misma entrada y no haya cortocircuitos al querer cada una poner un nivel lógico diferente.

Filmina 65: Este es un ejercicio donde se muestra como se puede diseñar un FF tipo "JK" empleando un FF tipo "D" y un multiplexor 4:1.

Las entradas JK se utilizan para comandar las líneas de selección del MUX.

Para JK=00, la entrada D se conecta a Q y cada flanco de RELOJ se copia siempre lo mismo.

JK=01 fuerza D a 0 y con JK=10 se pone D a 1.

En JK=11, la entrada D copia a /Q por lo que se tendrá una negación del Q anterior cada vez que aparezca un flanco sensible de RELOJ.

Filmina 66 a 67: A modo de ejemplo para el cálculo de la máxima frecuencia de trabajo de un circuito secuencial simple, tenemos el análisis temporal del ejemplo anterior.

Consideremos JK=11, donde se sabe que en estas condiciones, el circuito oscilará, es decir, la salida Q, cambiará de nivel lógico en cada flanco de reloj. Para que ello ocurra normalmente se deben respetar los tiempos de retardo de todos los componentes involucrados, en este caso, el MUX y el FF.

Desde que aparece un flanco ascendente hasta el siguiente, el FF debe tener la nueva salida estable. Como aquí para JK=11 siempre habrá cambios en la salida en cada ciclo de reloj, se debe garantizar que la entrada en "D" sea estable antes de cada flanco positivo.

Eso implica que los retardos asociados, tanto del FF en tardar en responder al cambio del RELOJ que está dado por $t_{pd}(CLK \rightarrow Q)$, como el retardo en responder del MUX $t_{pd}(MUX)$, no deben exceder el tiempo mínimo necesario para que la señal en "D" esté estable al menos un tiempo de establecimiento t_{set-up} especificado en el FF.

Es decir que al presentarse un flanco sensible, la suma de los tiempos de retardo de la salida Q, del MUX y del establecimiento del FF debe ser mayor al período del RELOJ. Caso contrario no se puede garantizar su correcto funcionamiento. Dicho en otras palabras debe existir un valor de tiempo de guarda siempre positivo o nulo en el caso crítico.

Filmina 68 a 69: Un ejemplo de aplicación de un FF tipo "D" sincrónico se da en esta filmina. Aquí se tiene un detector de sentido de giro donde el mismo consta de dos fotodetectores que dan una señal tipo onda cuadrada cuya frecuencia es proporcional a la velocidad de giro del eje del rotor y cuya diferencia de fase relativa de una respecto de la otra nos indica el sentido de rotación.

Si ambas señales se conectan, una a la entrada de datos "D" del FF y la otra se usa como reloj, tendremos que según el sentido de giro, la salida Q en un caso verá siempre un dato en "1" mientras que en el otro sentido, será siempre un "0" a la entrada de dicho FF.

De esta manera simple se puede detectar esta variable. Por otro lado se deberá contar con un contador para poder realizar la medición de frecuencia.

En la última filmina se ve el circuito y su simulación empleando el software MAX-PLUS II de la empresa Altera donde se puede no sólo evaluar el comportamiento lógico del circuito (análisis funcional) sino también conocer la respuesta temporal del mismo.